

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2003100743
 PUBLICATION DATE : 04-04-03

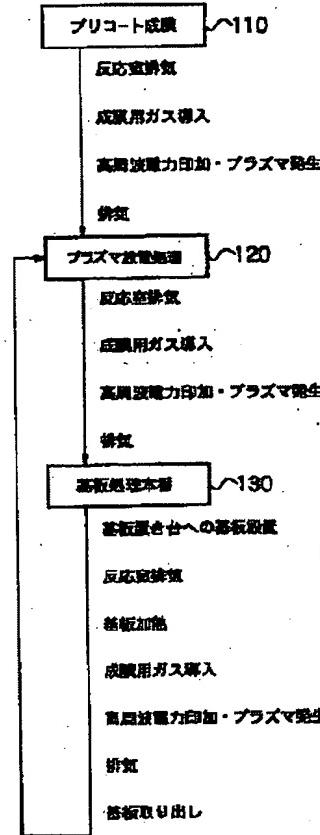
APPLICATION DATE : 26-09-01
 APPLICATION NUMBER : 2001294571

APPLICANT : HITACHI KOKUSAI ELECTRIC INC;

INVENTOR : TSUNODA TORU;

INT.CL. : H01L 21/318 C23C 16/44 H01L 21/31

TITLE : MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To provide a manufacturing method for a semiconductor device, which can reduce the particles adhering to a substrate by controlling the generation of the particles caused by peeling of a precoated film applied to an inner wall of a reaction chamber, and can conduct dry cell cleaning after the substrate is continuously treated by desired times in the substrate treatment by a plasma CVD method.

SOLUTION: A plasma discharge treatment process 120 is conducted between the precoated film-forming process 110 and the substrate treatment process 130. In the plasma discharge treatment process 120, the plasma is generated by introducing a gas, which does not contribute to film formation by itself into the reaction chamber of a plasma CVD device and an atomic bond, included in the film is stabilized, by the plasma discharge treatment of the film adhered to the inner wall of the reaction chamber. Generation of the particles, caused by peeled blocks the film, is controlled by stabilizing the atomic bond included in the film during the substrate treatment process 130 in a production line.

COPYRIGHT: (C)2003,JPO

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-100743

(P2003-100743A)

(43)公開日 平成15年4月4日 (2003.4.4)

(51) Int.Cl.⁷
H 01 L 21/318
C 23 C 16/44
H 01 L 21/31

識別記号

F I
H 01 L 21/318
C 23 C 16/44
H 01 L 21/31

テ-マコ-ト^{*}(参考)
B 4 K 0 3 0
J 5 F 0 4 6
C 5 F 0 5 8

審査請求 未請求 請求項の数 3 O.L. (全 9 頁)

(21)出願番号 特願2001-294571(P2001-294571)

(71)出願人 000001122

株式会社日立国際電気
東京都中野区東中野三丁目14番20号

(22)出願日 平成13年9月26日 (2001.9.26)

(72)発明者 角田 淳

東京都中野区東中野三丁目14番20号 株式
会社日立国際電気内

(74)代理人 100090136

弁理士 油井 透 (外2名)

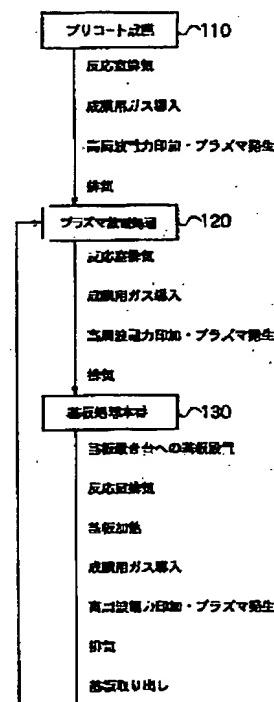
最終頁に統ぐ

(54)【発明の名称】 半導体デバイスの製造方法

(57)【要約】

【課題】 プラズマCVD法による基板処理において、反応室内壁のプリコート膜の剥離が常に起因するパーティクルの発生を抑制することで、基板に付着するパーティクルの数を低減し、併せて基板処理を連続的に所望回数実施した後、ドライセルフクリーニング工程を実施することを可能とする半導体デバイスの製造方法を提供する。

【構成】 プリコート成膜工程110と基板処理工程130との間で、プラズマ放電処理工程120をおこなう。このプラズマ放電処理工程120では、プラズマCVD装置の反応室内へ、それ単独では成膜に寄与しないガスを導入してプラズマ化し、前記反応室の内壁に付着した膜をプラズマ放電処理して、前記膜中に含まれる原子結合を安定化する。この前記膜中に含まれる原子結合が安定化することで、基板処理本番工程130の際、前記膜中より塊が剥離してパーティクルとなることが抑制される。



【特許請求の範囲】

【請求項1】内壁に膜が付着した状態の反応室内でプラズマCVD法により基板を処理する際、基板処理前に、反応室内を、それ単独では成膜に寄与しないガスを用いてプラズマ放電処理することを特徴とする半導体デバイスの製造方法。

【請求項2】請求項1に記載の半導体デバイスの製造方法であって、

基板処理前に反応室内をプラズマ放電処理する際の高周波電力が、基板処理時の高周波電力よりも大きいことを特徴とする半導体デバイスの製造方法。

【請求項3】請求項1または2に記載の半導体デバイスの製造方法であって、

基板処理がシリコン窒化膜の成膜であり、基板処理前の反応室内に対するプラズマ放電処理時に導入するガスが、水素、窒素、アンモニアのうちの少なくとも1つを含むガスであることを特徴とする半導体デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プラズマを用いたCVD法による半導体デバイスの製造方法に関するものである。

【0002】

【従来の技術】半導体を加工して製造されるメモリやシステムLSI等の半導体デバイスは、半導体デバイス製造装置を用い、半導体基板上に様々な膜種の薄膜を成膜することにより製造される。ここで、成膜される薄膜の代表的な例として、CMOS-LSIのゲート電極に用いられるシリコン酸化膜、多結晶シリコン膜、各電極を分離するのに用いられるシリコン窒化膜、等がある。そして、これらの膜種を成膜する成膜法として、減圧CVD法、常圧CVD法、プラズマCVD法、等があり様々な製造工程で採用されている。

【0003】例えば、減圧CVD法や常圧CVD法は、反応室内に基板を設置し、ヒーターまたはランプ等を用いて加熱した後、基板処理ガスを導入し基板上に所望の膜種を成膜する方法である。一方、プラズマCVD法は、基板処理ガス雰囲気に高周波電力を供給して基板処理ガスをプラズマ化し、次にこのプラズマ化した基板処理ガスが気相反応して生成した物質が基板上に付着し、さらにこの基板に付着した物質と、基板とが化学結合することで基板上に所望の膜が成膜される方法である。

尚、プラズマCVD法には、前記基板処理ガス雰囲気に高周波電力を供給する方式として、誘導結合型、容量結合型、サイクロトロン型、マグネットロン型、等が存在する。以下、図9に示す、従来の技術に係る成膜工程例のフロー図を用いて、マグネットロン型プラズマCVD法による、基板へのシリコン窒化膜の成膜について説明する。

【0004】プリコート成膜工程110において、まず反応室内を排気後、成膜用ガスを導入する。次に、RF電源より高周波電力を供給して前記成膜用ガスの雰囲気をプラズマ化し、プラズマ処理をおこなった後、反応室内を排気し、プリコート成膜工程110が完了する。

【0005】上記プリコート成膜工程を実施することで、反応室の内壁に、いわゆるプリコート膜が成膜される。このプリコート膜を成膜する目的は、次工程の基板処理本番工程130において、基板上に成膜される薄膜の膜特性を均一にするとともに、反応室の内壁がプラズマに叩かれて、そこから発生し飛散する金属等により基板が汚染されるのを抑制することにある。

【0006】プリコート成膜工程110完了後に、基板処理本番工程130を実施する。反応室内の基板置き台に基板を設置し、反応室内を排気後、基板を所定の温度に加熱する。次に、反応室内へ成膜用ガスを導入する。さらに、RF電源より高周波電力を供給し、プラズマ処理をおこなって基板上に所望の成膜をおこなった後、反応室内を排気し、基板を取り出して、基板処理本番工程130が完了する。

【0007】基板処理本番工程130が完了したら、ドライセルフクリーニング工程140を実施する。ドライセルフクリーニング工程140において、まず反応室内を排気の後、クリーニングガスを導入する。そしてヒーターを所定の温度に設定し、RF電源より高周波電力を供給して、前記クリーニングガスの雰囲気をプラズマ化し、プラズマ処理をおこなった後、反応室内を排気し、ドライセルフクリーニング工程140が完了する。

【0008】ドライセルフクリーニング工程140を実施すると、反応室のプリコート膜はクリーニングガスのプラズマにより除去される。そこで、次の回の基板処理をおこなう際は、再びプリコート成膜工程110を実施し、反応室の内壁にプリコート膜を成膜後、基板処理本番工程130にて基板へのシリコン窒化膜の成膜をおこなう。

【0009】

【発明が解決しようとする課題】しかし、図9に示す従来の技術に係る成膜工程の例には、次のような問題点があった。

(1) 基板処理された基板に、パーティクルによる汚染が発生していることがある。このパーティクルとは、0.1~数μmの粒子状物質である。これがはある限度以上に基板へ付着していると、半導体デバイス製造の後工程において不良品発生の原因となるものである。

【0010】(2) 生産性向上の観点からは、成膜工程例のフローにおいて、プリコート成膜工程110を実施した際、基板処理本番工程130を連続的に所望回数実施した後、ドライセルフクリーニング工程140を実施することが好ましいのだが、ドライセルフクリーニングをすることなく連続的に基板処理をおこなうと、その処

理バッチ回数とともに、基板へ付着するパーティクル数も増加してくる。このため、従来は基板処理本番工程130を実施する毎にドライセルフクリーニング工程140の実施を余儀なくされ、生産性が悪かった。

【0011】ところで、プラズマCVD法以外のCVD法による基板処理の際におけるパーティクル発生の抑制方法として、以下の方法が知られているが、これらの方は次の理由からプラズマCVD法には適用できない。例えば、特開平7-263370号公報には、減圧CVD法において、反応室内壁や基板置き台の材質を、成膜する膜であるシリコン塗化膜と同等の熱膨張係数を有する材料であるSiCを用いて構成することが記載されている。しかし、プラズマCVD法は減圧CVD法と異なり、反応室の内壁は常温にて基板処理が実施され、減圧CVD法のように基板処理ガスが熱分解を起こすまで加熱されることはない。従って、シリコン塗化膜の熱膨張係数を考慮した特開平7-263370号公報の方法を、プラズマCVD法に適用しても意味がない。

【0012】例えば、特開2000-150496号公報には、減圧CVD法において、プリコート膜上へさらにプリコート膜を成膜する技術が記載されている。すなわち、反応室内壁に成膜されたプリコート膜が、自身の膜応力によって剥がれ落ちる前に反応室の温度を変化させて、プリコート膜中に故意に亀裂を生じさせ、膜応力を緩和させる。次に、この亀裂を生じたプリコート膜上にこれを覆うように、新たな薄膜を成膜することで、汚染およびパーティクルの発生を抑制しようとする方法が記載されている。

【0013】ところが、上述したように、プラズマCVD法においては反応室内壁の温度は常温である。このため反応室内壁に成膜されるプリコート膜は、特開2000-150496号公報に記載された減圧CVD法で成膜されるプリコート膜とはストイキオメトリが異なった、粉末が固体化した状態で付着する。このため自身の膜応力は殆ど発生せず、さらに膜応力を原因とする亀裂が発生しないので、この方法を適用することに意味がないのである。

【0014】以上のことより、本発明の課題は、プラズマCVD法による基板処理において、基板に付着するパーティクルの数を抑制して、基板の連続処理回数を上げることが可能な半導体デバイスの製造方法を提供することである。

【0015】

【課題を解決するための手段】第1の発明は、内壁に膜が付着した状態の反応室内でプラズマCVD法により基板を処理する際、基板処理前に、反応室内を、それ単独では成膜に寄与しないガスを用いてプラズマ放電処理することを特徴とする半導体デバイスの製造方法である。このプラズマ放電処理により、内壁に付着した膜に含まれる原子結合はプラズマよりエネルギーを与えられる。

エネルギーを与えられると、与えられるエネルギーより低い解離エネルギーを有する原子結合は解離をおこし、前記与えられるエネルギーより高い解離エネルギーを有する安定な原子結合へ遷移する。

【0016】さらにこのプラズマは、それ単独では成膜に寄与しないガスのプラズマなので、このガスの成分が新たに前記膜上に堆積して、解離エネルギーの低い原子結合を形成することができない。この結果、内壁に付着した膜に起因するパーティクルの発生を抑制することができ、基板の連続処理回数を向上できる。

【0017】第2の発明は、第1の発明に記載の半導体デバイスの製造方法であって、基板処理前に反応室内をプラズマ放電処理する際の高周波電力が、基板処理時の高周波電力よりも大きいことを特徴とする半導体デバイスの製造方法である。第1の発明に記載した、それ単独では成膜に寄与しないガスを用いて、内壁に付着した膜に含まれる解離エネルギーの低い原子結合を、より高い解離エネルギーを有する安定な原子結合へ遷移させる際、基板処理時の高周波電力よりも大きな電力を印加してプラズマを生成することにより、この遷移の反応の確率を上げると共に、膜中のより深い所においても、この遷移反応を起こさせることができるとなる。その結果、基板処理時に、パーティクルの発生をより抑制することができる。

【0018】第3の発明は、第1または第2の発明に記載の半導体デバイスの製造方法であって、基板処理がシリコン塗化膜の成膜であり、基板処理前の反応室内に対するプラズマ放電処理時に導入するガスが、水素、窒素、アンモニアのうちの少なくとも1つを含むガスであることを特徴とする半導体デバイスの製造方法である。第1または第2の発明に記載した、それ単独では成膜に寄与しないガスが、水素、窒素、アンモニアのうちの少なくとも1つを含むガスであると、膜に含まれる原子結合をより安定な原子結合へ遷移させることができる。特に、基板処理がシリコン塗化膜の成膜である場合は、安定なSi-N結合へ遷移する際の窒素の供給源となることより、アンモニアおよび/または窒素を成分としたガスを用いることが好ましい。

【0019】第4の発明は、第1から第3の発明のいずれかに記載の半導体デバイスの製造方法であって、前記反応室内にプラズマを発生して前記内壁に付着した膜をプラズマ処理する際の高周波電力が、350～450Wであることを特徴とする半導体デバイスの製造方法である。

【0020】第5の発明は、第1から第4の発明のいずれかに記載の半導体デバイスの製造方法であって、前記プラズマCVD法により半導体基板上に成膜処理をおこなう毎に、前記それ単独では成膜に寄与しないガスを導入し、反応室内にプラズマを発生して前記内壁に付着した膜をプラズマ処理することを特徴とする半導体デバイ

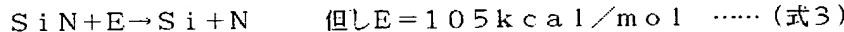
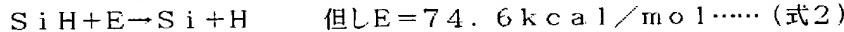
スの製造方法である。

【0021】第6の発明は、基板を処理する反応室と、反応室内に基板処理ガスを導入する基板処理ガス導入手段と、反応室内の雰囲気を排氣する排氣手段と、プラズマを発生させるプラズマ発生手段とを有し、半導体基板上へ、プラズマCVD法により成膜処理をおこなう基板処理装置であって、基板処理前に、反応室内に、それ単独では成膜に寄与しないガスを導入し、反応室内にプラズマを発生させて、プラズマ処理することを特徴とする基板処理装置である。ここで、基板処理装置は半導体デバイスの製造方法を実施するための半導体製造装置を構成する要素である。

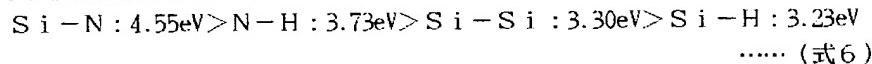
【0022】

【発明の実施の形態】ここで、本発明の実施の形態について、図面を用いて説明する。

(パーティクル発生のメカニズム) 本発明を成すにあたり、発明者らは、シリコン窒化膜を例としてパーティクル発生のメカニズムについて研究をおこなった。図3は、反応室の内壁に成膜されたプリコート膜12の原子レベルの模式的な拡大図である。図3に示すように、プリコート膜12中には、シリコンSi、窒素N、水素H、等が含有されているが、プラズマCVDにより成膜された膜中においては、Si-Nの原子結合以外にも、Si-Si、Si-H、N-H、等の原子結合がランダム且つ複雑に結合した状態となっている。これはプラズ



ここで、 $1 \text{ kcal/mol} = 4.336411 \times 10^{-2} \text{ eV}$ であることより、前記各原子結合を解離エネルギー



(式6)より、プリコート膜12中において、Si-Nの解離エネルギーは4.55eVと最も高く、逆にSi-Hの解離エネルギーは3.23eVと最も低い。すなわち、Si-N結合は比較的安定で高エネルギーのプラズマでないと解離させることができないが、Si-H結合は比較的不安定で低エネルギーのプラズマでも解離させることができる。

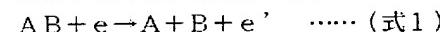
【0026】ここで再び、図5において、プリコート膜12中の各原子結合が、前記解離エネルギー以上のエネルギーを電子e13との衝突により得たとすると、その部分の結合は切断される。この切断現象が、プリコート膜12中のいたるところで起き、その結果、ある程度の大きさを持った塊がプリコート膜12より剥離する。この剥離した塊が、重力により基板上に落下して付着し、パーティクルになると考えられる。

【0027】(前駆的な研究) ここで、本発明者らは、基板処理の際に、基板処理ガスへ印加する高周波電力を

マCVD法による成膜に特有な現象である。

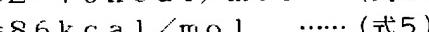
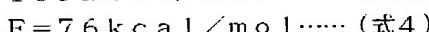
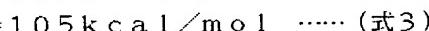
【0023】次に、図5は、図3の状態のプリコート膜12がプラズマに曝された際の、原子レベルの模式的な拡大図である。図5に示すように、プリコート膜12がプラズマに曝されるとプリコート膜12中のシリコンSi、窒素N、水素Hは、プラズマ中の電子e13よりエネルギーを吸収し、Si-H、Si-Si、等の結合が切断される。そして、プリコート膜12中の各原子がプラズマの電界よりエネルギーを吸収し、中性分子が中性原子に解離する解離反応が起きる。

【0024】ここで、たとえば中性分子をAB、電子をe、中性原子をAおよびBとすると、解離反応は、一般に次の(式1)で表される。

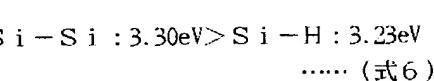


つまり、(式1)の左辺の電子eが有する内部エネルギーが、反応室内で発生した電界の影響で増大し、遂には中性分子ABを解離できるエネルギー以上となり、中性分子ABに衝突する。すると電子eに衝突された中性分子ABは、電子eよりエネルギーを吸収し中性原子AとBとに解離するのである。一方、電子eはエネルギーを失った電子e'となる。

【0025】ここで、プリコート膜12中における各種原子結合の1mol当たりの解離エネルギーE kcal/molを解離の化学反応式と共に(式2~5)に示す。尚、これらの反応は全て吸熱反応である。



-Eの高い順に並べると(式6)のようになる。



大きくして、反応室の内壁に付着するSi-H、N-H、Si-Si、等の結合を解離させ安定なSi-N結合に変化させてしまうことを考えた。しかし、実際にには、基板上に成膜されるシリコン窒化膜の膜厚の均一性や膜圧力、等の成膜特性も、この高周波電力に依存しているので、Si-H、N-H、Si-Si、等の結合の解離のみに注目して、印加する高周波電力の電力値を設定すればよい、と一概に言うことはできない。因みに、基板処理の際ににおける高周波電力の値は、基板上のシリコン窒化膜に求められる成膜特性により、大体300~400Wの範囲に自ずと決められてしまうのである。

【0028】そして、前記自ずと決められた300~400Wの範囲の高周波電力では、成膜されたプリコート膜12中に存在するSi-H、N-H、Si-Siの結合を、予め解離させることができないため、結局、次の回の基板処理を実施する際にこれらの結合が解離し、パーティクルとして剥がれ落ち基板へ付着してしまうので

ある。

【0029】(本発明におけるパーティクル発生の抑制メカニズム)ここで、本発明者らは、以下のような全く新規な発想に想到した。すなわち、プリコート膜12が形成された反応室内へ、それ単独では成膜に寄与しないガスを導入し、反応室内にプラズマを発生させてプリコート膜12をプラズマ放電処理して、Si-H、Si-Si、等の結合を予め解離させてしまった後で、基板処理をおこなえばパーティクルの発生を抑制できることに想到した。

【0030】そして、前記プラズマ放電処理において、反応室内にプラズマを発生させる際の高周波電力を、基板処理本番工程の際の高周波電力より大きくした場合には、プリコート膜12中の、Si-H、Si-Si、等の結合を、予め高い確率と、深い範囲で解離させておけば、それより少ない高周波電力で実施される基板処理において、パーティクルの発生をより抑制でき、さらに好ましいことに想到したのである。

【0031】さらに、前記プラズマ放電処理において、それ単独では成膜に寄与しないガスが、アンモニア、窒素等の窒素原子を有するガスを含んでいると、前記解離したSi-H、Si-Si、等の結合が安定なSi-N結合へ遷移する際の窒素源を供給できるので、さらに加えて好ましいことに想到したのである。

【0032】上述したことを、図6を用いて更に詳細に説明する。図6は、それ単独では成膜に寄与しないガスのプラズマでSi-H結合、Si-Si結合を含む膜をプラズマ処理した際の、各原子結合の反応遷移を、エネルギーの大きさを縦軸にとり、化学反応遷移を横軸にとって示した図である。

【0033】膜中のSi-H結合、Si-Si結合を予め解離させるためには、膜に対しSi-H結合の解離エネルギーである3.23eV以上、より好ましくはSi-Si結合の解離エネルギーである3.30eV以上で、Si-N結合の解離エネルギー4.55eV以下のエネルギーを供給できるプラズマを反応室4内に生成し、上述した基板5の処理本番の工程を実施する前に、プリコート膜12をプラズマ処理すればよい。こうすれば、Si-H結合、Si-Si結合は遷移状態のSi-Hの状態を経てSi-N結合の状態へ進行するが、Si-N結合の状態から遷移状態のSi-Hへは逆行できないからである。この遷移過程の結果、当初、Si-Si、Si-H、N-H、Si-Nという様々にばらついていたプリコート膜12中の原子結合は、概ね、安定なSi-N結合に遷移させることができる。図4は、完全結晶状態におけるシリコン窒化膜の原子レベルの模式的な拡大図である。プリコート膜12中の原子結合が、概ね、安定なSi-N結合に遷移すれば、その部分は、図4に示す完全結晶状態に近い構造をとると考えられる。この結果、基板処理においてパーティクルの発生を抑制

することができる。

【0034】(実施例)ここで、図1、図2、図7、図8を用いて本発明の実施例について説明する。図1は本実施例に用いた、マグнетロン型プラズマCVD装置の模式図であり、図2は、図1の反応室における内壁の一部の拡大断面図であり、図7は、本実施例に係る、横軸に高周波電力の値を、縦軸にパーティクルの個数をとったグラフである。図8は、図1の装置を用いた本実施例の成膜工程例のフローを示した図である。図1において、基板処理ガスは、ガスシャワー板1に接続されたガス供給管2より供給され、ガスシャワー板1に穿たれたガス分散穴3より、反応室4内へ噴出する。反応室4内に供給されたガスは、排気口15より排気される。反応室4内に置かれる基板5は、基板置き台6の直上に載置され、基板置き台6の内部に敷設された基板加熱ヒーター7により所望の温度に加熱される。なお反応室4を形成する容器はアルミニウム(A1)および酸化アルミニウム(A1₂O₃(アルミナ))で構成されており、基板置き台6は窒化アルミニウムで構成されており、ガスシャワー板1は石英で構成されている。本実施例においては8インチの基板を用いた。反応室4の外側にはプラズマ生成領域を囲むように配置されたリング電極8と、リング電極8の表面に、リング電極8の軸方向にほぼ平行な磁力線を形成するための一対のリング状のマグネット9とが設けられている。そして、高周波発生電源10からの高周波電力をインピーダンス整合器11を介してリング電極8に供給し、反応室4内の基板処理ガスをプラズマ化して、基板5の表面に所望の膜種を成膜するが、本実施例ではシリコン窒化膜を成膜した。

【0035】このマグネットロニ型プラズマCVD装置を用いた基板処理のフローの例を、以下に説明する。図8に示すプリコート成膜工程110において、まず反応室4内に基板5を入れない状態で反応室4内を排気し、その後、反応室4内へ、ガス供給管2およびガス分散口3を通じて成膜用ガス(SiH₄、NH₃、N₂の混合ガス)を導入する。このとき反応室内の圧力は、10~20Paに設定する。そしてヒーター7を400~800°Cに設定し、RF電源よりインピーダンス整合器11を通じて300~400Wの高周波電力をリング電極8へ供給して成膜用ガスをプラズマ化し、5~20分間プラズマ処理をおこなった後、反応室4内を排気し、プリコート成膜工程110が完了した。

【0036】上記プリコート成膜工程110を実施することで、反応室4の内壁に、いわゆるプリコート膜が成膜される。図2に、このプリコート膜12が反応室4の内壁に成膜された状態を示す。このプリコート膜12を成膜する目的は、後述する基板処理本番工程において、基板5上に成膜される薄膜の膜特性を均一にするとともに、反応室4の内壁がプラズマに叩かれて、そこから発生し飛散する金属等により基板5が汚染されるのを抑制

することにある。

【0037】再び、図8に戻る。プラズマ放電処理工程120において、まず反応室4内を排気した後、反応室4内へ、単独では成膜に寄与しないガスを導入した。ここでガスの例としてアンモニア、水素、および窒素を選んだ。これらのガスは1~10Paの圧力で導入した。

【0038】そして各ガス導入において、ヒーター7を400~700°Cに設定し、RF電源10よりインピーダンス整合器11を通じて100W、200W、300W...というように1000Wの範囲まで6段階の高周波電力をリング電極8へ供給してガスをプラズマ化し、1~3分間プラズマ放電処理をおこなった後、反応室4内を排気し、プラズマ放電処理工程120が完了した。

【0039】次に、基板処理本番工程130を実施する。このとき反応室4内の圧力は10~20Paとした。基板置き台6に基板5を載置し、反応室4内を排気後、ヒーター7にて基板の温度を400~700°Cに加熱する。次に、反応室4内へ、ガス供給管2およびガス分散口3を通じて成膜用ガス(SiH₄、NH₃、N₂の混合ガス)を導入する。さらに、RF電源よりインピーダンス整合器を通じて300Wの高周波電力をリング電極へ供給し、1~2分間プラズマ処理をおこなった後、反応室内を排気し、基板を取り出して、1回目の基板処理本番工程130が完了した。

【0040】ここで、成膜の完了した基板上に付着しているパーティクル数について計測をおこなったのでその結果について、図7を用いて説明する。図7は、横軸に、プリコート膜のプラズマ放電処理120の際、それ単独では成膜に寄与しないガスに印加する前述した高周波電力の電力値をとり、縦軸に、基板処理本番工程130において基板に付着したパーティクルの個数をとり、ガス種として水素、窒素、アンモニアを用いた場合のグラフである。水素は□、窒素は△、アンモニアは○で示した。

【0041】尚、ここで基板上に付着しているパーティクル数の計数方法について説明する。本実施例においては、成膜完了後の8インチの基板をテンコール社製のサーフスキヤン装置に設置し、基板上に付着している0.16μm以上上のパーティクルの数を計数し、この個数をパーティクルの個数とした。

【0042】図7の結果より、パーティクル発生の抑制効果の観点より、水素、窒素、アンモニアの3種のガスを比較した場合、アンモニアの効果が最も大きく、以下、窒素、水素の順であった。この理由は、上述したようにアンモニアの解離エネルギーが3.23~4.55eVの範囲に入っていること、且つ自身の中に窒素原子を有し、これがSi-N結合生成の際の窒素源となっているからであると考えられる。

【0043】窒素は自身の解離エネルギーが3.23~

4.55eVの範囲より大きいため、パーティクルの抑制効果がアンモニアよりも低いものと考えられる。水素は自身の解離エネルギーは3.23~4.55eVの範囲内だが、パーティクルの抑制効果がアンモニアよりも低い。これは自身の中にSi-N結合生成の際の窒素源を有していないためと考えられる。従って、水素に、窒素および/またはアンモニアを混合したガスを用いれば、これらのガスが窒素源となりアンモニアを使用した場合と同程度のパーティクルの抑制効果を発揮させることができると考えられる。

【0044】上述の結果より、それ単独では成膜に寄与しないガスとして、まずアンモニアに注目し、プラズマ放電処理の際、ガスに印加する高周波電力の電力値と、パーティクルの個数との関係を検討した。その結果、高周波電力の電力値は、300~500Wの範囲が好ましく、この範囲より小さすぎても、大きすぎてもパーティクルの個数は増加した、さらに好ましい範囲は350~450Wであることも判明した。更に、水素、窒素へ注目してみても、いずれの場合も好ましい高周波電力の電力値は300Wと考えられる。以上のことより、プラズマ放電処理する際の高周波電力は、基板処理時の高周波電力よりも大きいことが好ましいと判明した。

【0045】図10は、連続処理バッチ数毎に基板へ付着するパーティクル数の推移を比較例とともに示した実施例のグラフである。比較例は、プリコート成膜工程110→基板処理本番工程130→基板処理本番工程130→...という連続処理を行ったもので、基板処理本番工程130の前に実施例のプラズマ放電処理を行っていない。なお、図7に示すグラフが実施例の方法で1サイクルの処理を行った場合のパーティクル数の計数結果を示すのに対し、図10のものは、プリコート成膜工程110→プラズマ放電処理工程120→基板処理本番工程130→プラズマ放電処理工程120→基板処理本番工程130→...という操作による連続処理バッチ数毎に基板に付着するパーティクル数を計数したものである。

【0046】図10において、横軸は基板処理本番工程の処理バッチ回数、縦軸は基板上に付着するパーティクルの計数値である。成膜に寄与しないガスとしてアンモニアを選択し、印加する高周波電力の電力値は400Wとした。また、パーティクル数が20個となる規格値のラインは、特に、8インチウェーハ上に形成されるCMOS-LSIのシリコン窒化膜を用いたゲート電極に要請されるパーティクル数の上限値である。図10の結果より明らかのように、比較例においては処理バッチ数が1回において、基板上に付着したパーティクル数が20個となり、以降も処理バッチ数の増加とともにパーティクル数も増加する傾向がみられた。これに対し、実施例においては処理バッチ数が1回~10回において、基板上に付着したパーティクル数が20個を超えることはなく、パーティクル数が規格値のラインの下側に納まる傾

向がみられた。これよりプラズマ放電処理工程が十分にパーティクルの発生を抑制していること、および基板処理を連続的に実施する回数を大幅に増やすことができる事が確認できた。

【0047】

【発明の効果】本発明によれば、基板処理前に、それ単独では成膜に寄与しないガスを用いて反応室内をプラズマ放電処理するようにしたので、基板に付着するパーティクルの数を抑制し、基板の連続処理回数を向上することができる。

【図面の簡単な説明】

【図1】本発明に係るマグネットロン型プラズマCVD装置の模式図である。

【図2】本発明と従来の技術とに係るプリコート膜が反応室の内壁に成膜された状態を示す模式図である。

【図3】本発明と従来の技術とに係る、プリコート膜の原子レベルの模式的な拡大図である。

【図4】本発明に係る、完全結晶状態におけるシリコン

窒化膜の原子レベルの模式的な拡大図である。

【図5】従来の技術とに係る、プリコート膜がプラズマに曝された際の、原子レベルの模式的な拡大図である。

【図6】本発明に係る、プラズマでプリコート膜を照射した際の、各原子結合の反応遷移図である。

【図7】本発明に係る、高周波電力の値を横軸に、パーティクルの個数を縦軸にとったグラフである。

【図8】本発明に係るプラズマCVD装置を用いた成膜工程例のフロー図である。

【図9】従来の技術に係るプラズマCVD装置を用いた成膜工程例のフロー図である。

【図10】本発明に係る、基板処理工程の処理バッチ回数と、パーティクル数とを示したグラフである。

【符号の説明】

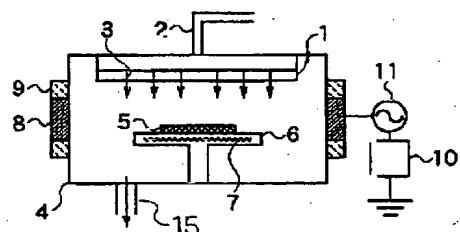
4. 反応室

5. 基板

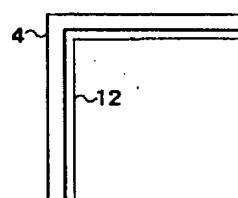
12. プリコート膜

13. 電子

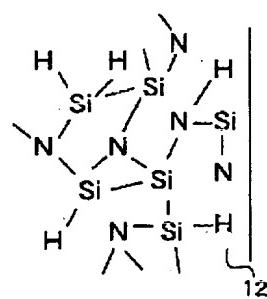
【図1】



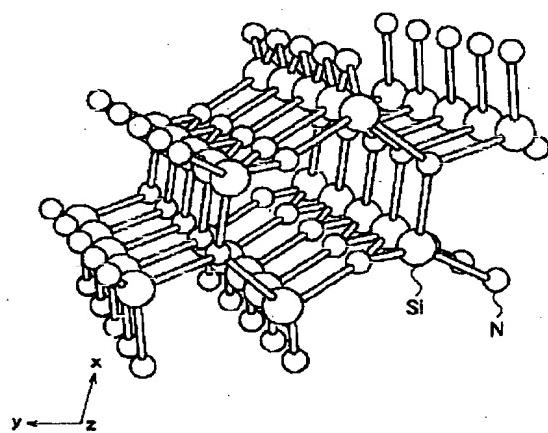
【図2】



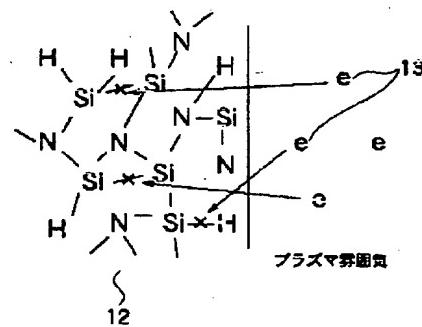
【図3】



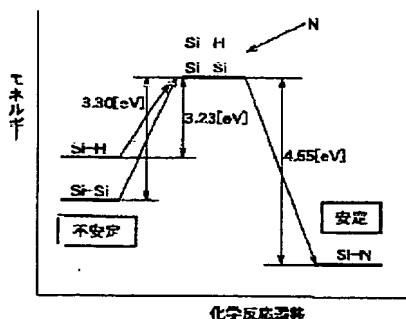
【図4】



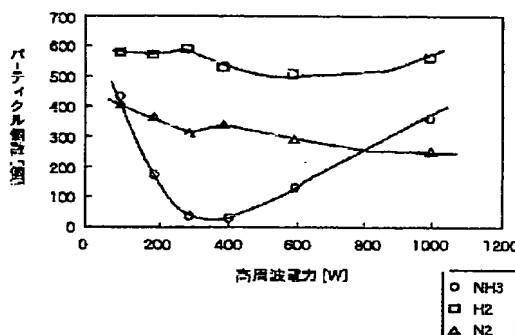
【図5】



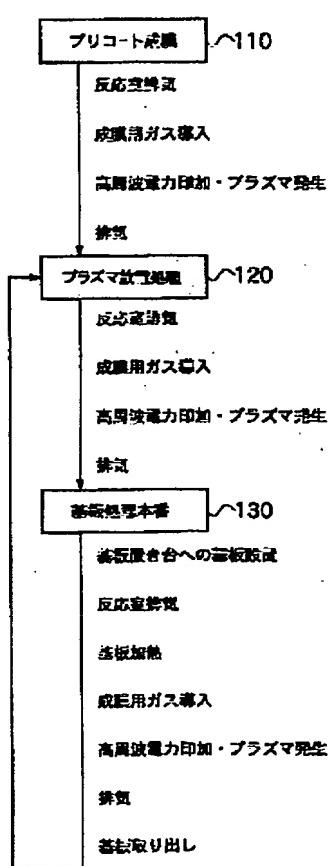
【図6】



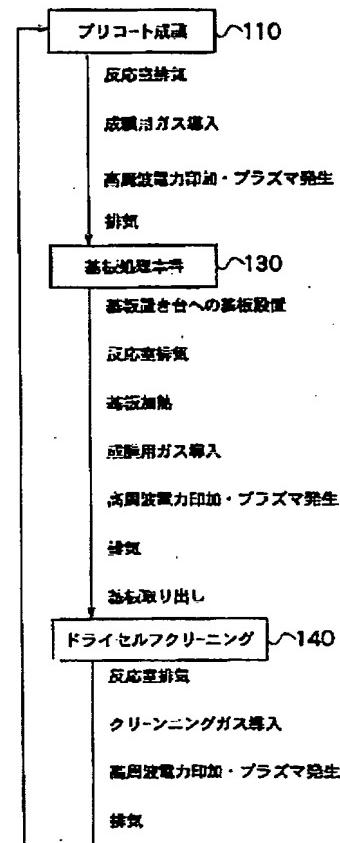
【図7】



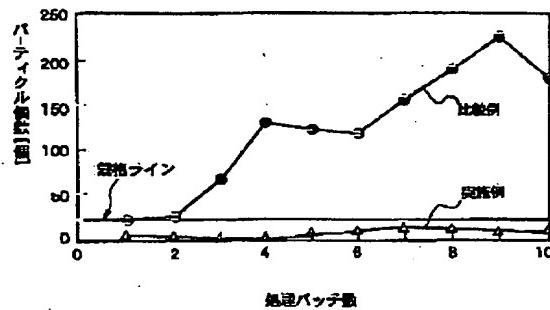
【図8】



【図9】



【図10】



フロントページの続き

Fターム(参考) 4K030 BA40 CA04 CA12 DA06 FA02
JA06 JA16
5F045 AA08 AB33 AC01 AC12 AC15
AD08 AD09 AD10 AE17 AE19
AF03 BB08 BB15 EF05 EH12
EH16
5F058 BA20 BC08 BE10 BF07 BF23
BF30 BF39 BJ01

THIS PAGE BLANK (USPTO)